

BEST AVAILABLE COPY

(54) THIN FILM TRANSISTOR

(11) 63-54773 (A) (43) 9.3.1988 (19) JP

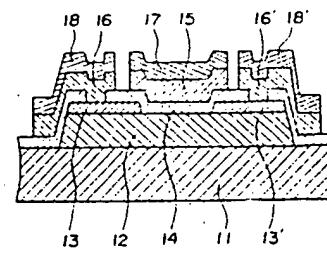
(21) Appl. No. 61-197285 (22) 25.8.1986

(71) HITACHI LTD (72) YOSHIKAZU HOSOKAWA(4)

(51) Int. Cl. H01L29/78, H01L27/12

PURPOSE: To hydrogenate an amorphous silicon film in a simple process by providing the amorphous silicon film to which hydrogen is added on a gate insulating film, and forming a gate electrode partly on the amorphous silicon film.

CONSTITUTION: An insulated gate field effect transistor composed of a polycrystalline thin film semiconductor region 12 formed insularly on an insulating substrate 11 is so composed by providing amorphous silicon films 15, 16, 16' to which hydrogen is added on a gate insulating film 14 as to form a gate electrode by part 15 of the amorphous silicon film. For example, a polycrystalline silicon film 12 not doped with an impurity is formed insularly on the substrate 11 n⁺ type silicon films 13, 13' doped with an n-type impurity are laminated on both ends, and a gate insulating film 14 is formed thereon. Holes are formed on the layers 13, 13' at the film 14. Amorphous silicon 15, 16, 16' to which hydrogen is added are formed thereon. metal layers 17, 18, 18' are further formed thereon, to form electrode and source, drain electrodes for reducing the resistance of the gate electrode.



551 | 46

⑪ 公開特許公報 (A) 昭63-54773

⑤Int.Cl.
H 01 L 29/78
27/12識別記号
311府内整理番号
Z-8422-5F
7514-5F

⑩公開 昭和63年(1988)3月9日

審査請求 未請求 発明の数 1 (全6頁)

⑨発明の名称 薄膜トランジスタ

⑩特願 昭61-197285

⑪出願 昭61(1986)8月25日

⑫発明者 細川義和 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑫発明者 小西信武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑫発明者 三村秋男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑫発明者 鈴木 誉也 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑬出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑭代理人 弁理士 武頭次郎 外1名

最終頁に続く

明細書

1. 発明の名称

薄膜トランジスタ

シリコン膜が、その上面に直接、金属膜又は金属シリサイド膜が積層されていることを特徴とする薄膜トランジスタ。

2. 特許請求の範囲

1. 絶縁基板上に島状に形成した多結晶薄膜半導体領域で構成した絶縁ゲート型電界効果トランジスタにおいて、ゲート絶縁膜上に水素を添加した非晶質シリコン膜を設け、該非晶質シリコン膜の一部によりゲート電極が形成されるよう構成したことを特徴とする薄膜トランジスタ。

5. 特許請求の範囲第1項において、上記多結晶薄膜領域が、少くともその一部に、上記非晶質シリコン膜から拡散してきた水素と結合した多結晶シリコンを含んでいることを特徴とする薄膜トランジスタ。

2. 特許請求の範囲第1項において、上記非晶質シリコン膜の一部が、ゲート絶縁膜に形成されている開孔部によってソース領域及びドレイン領域に接触していることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

3. 特許請求の範囲第1項において、上記非晶質シリコン膜が一方導電形特性を呈するようにならん物添加していることを特徴とする薄膜トランジスタ。

4. 特許請求の範囲第1項において、上記非晶質

本発明は薄膜半導体素子に係り、特にアクチバマトリクス方式の表示装置などに好適な、薄膜電界効果トランジスタに関する。

〔従来の技術〕

例えば、特開昭57-141961号公報に記載されているように、薄膜トランジスタの構造の一つに、積層式のコブレーナ形の構造がある。

第2図は、このようなトランジスタの従来例を示したもので、絶縁物基板1の上に不純物をドープしない(1層と呼ぶ)シリコン薄膜2が、島状

に加工されて形成されている。この島状に加工されたシリコン薄膜2の両端の上には、n形不純物をドープした（n⁺層と呼ぶ）シリコン薄膜3、3'が、積層して形成されている。その上にSiO₂膜等のゲート絶縁膜4が形成されている。このゲート絶縁膜4には、n⁺層3の上の一部に開孔部がある。その上に金属電極5、6、6'が形成されている。

n⁺層3、3'はソース領域およびドレイン領域であり、そこに接触する金属電極6、6'はソース電極、ドレイン電極である。また金属電極5は、その両端は、各々ソース、ドレイン領域のn⁺層3、3'に重なるよう形成されており、ゲート電極を形成する。

このトランジスタはMOSトランジスタと同様の動作をし、ソース、ドレイン電極6、6'間に電圧を印加したときに、ゲート電極5に正の電位を与えれば、その電界効果により、i層2と絶縁膜4の界面にチャンネルが形成され、電流が流れ るようになる。

これまでに知られている水素化処理の方法は、水素を含むシリコンナイトライド層を、プラズマCVDの方法で形成し、その後の熱処理で水素を拡散する方法がとられている。シリコンナイトライド膜を形成する位置は色々あるが、一般にはゲート電極を形成してからであり、下のi層との間に、何層かの膜が挿入されている。

〔発明が解決しようとする問題点〕

上記従来技術は次の問題点があった。

1) シリコンナイトライド膜の形成プロセスが増加する。シリコンナイトライド膜は、ヤング率が小さいことからクラックが入り易く、プロセス上注意する必要があるので、工程が一工程増加する以上に、プロセス上の不利益になる。

2) 水素原子の拡散時に、水素は、中間に多結晶シリコン層があればそこで吸収され、また、中間にメタル層があればつきぬけにくいといったことがあるため、界面から離れた表面に形成された膜からは、十分に拡散されなくなる。

本発明の目的は、なるべく簡略なプロセスで水

第3図は他の従来例であり、ゲート絶縁膜4の上に多結晶シリコン膜のゲート電極7がある。この上に絶縁膜8がある。ソースおよびドレイン領域3、3'の上のゲート絶縁膜4と絶縁膜8には、開孔部があり、これを介して、金属電極9、9'がある。

ところで、このようなトランジスタのオン時の電流は、ゲート電圧、ゲート絶縁膜の膜厚および誘電率、界面電荷およびi層のシリコン薄膜の電界効果移動度等に関係する。ここで、電界効果移動度は、シリコン薄膜の微視的な構造に影響され、非晶質状態よりは多結晶状態の方が大きい。また、多結晶状態でも、結晶面又は結晶粒界でのシリコン原子の結合状態、すなわち、シリコン原子の結合が十分にされていない、いわゆるダングリングボンドの有無により大きく影響される。そのため、多結晶シリコンを用いた場合は、結合されていない部分に水素原子を結合させて安定化する方法が一般に行なわれている。これを水素化処理と呼ぶ。

素化処理することであり、水素化処理の拡散源となる水素を含む膜を、できるだけトランジスタの界面に近づけて形成することである。

〔問題点を解決するための手段〕

上記目的は、ゲート絶縁膜を形成した後に、水素を含んだ非晶質シリコン膜を形成することにより達成される。この非晶質シリコンは、n形又はp形の不純物をドープしておくことにより、低抵抗の膜とする。

そして、この非晶質シリコン膜は、次の2通りの役割りをはたすことができる。

1) ゲート電極として使用できる。

2) ソース、ドレイン領域のコンタクト領域として使用できる。この場合は、ゲート絶縁膜および絶縁膜に開孔部を設け、下のソース、ドレイン領域のn⁺層に接続させる。

このような手段をとることにより、プロセスを多くすることなく、効果的な水素化処理ができる。

〔作用〕

ゲート電極は水素を添加した非晶質シリコン膜

で形成される。ゲート電極としては、 n^+ 形の不純物等抵抗を下げるための不純物がドープしてあればよく、最終的には水素がその中に存在しなくなってしまってもよい。従って、熱処理により水素を供給し、チャンネル領域を形成する 1 層のシリコン薄膜を水素化することができる。その際、ゲート絶縁膜 1 枚のみへだてた所に水素の拡散源となる非晶質シリコン膜があるので、水素の拡散は、比較的低温で、あるいは短時間で処理することができる。

一方、ソース、ドレイン領域の n^+ 層に接触した非晶質シリコンは、電極コンタクト用の中間膜として作用する。この領域から供給される水素原子は、 n^+ 領域と i 領域の界面付近、すなわち接合形成面付近のシリコンの水素化処理に効果があり、水素化することにより、トラップ密度は減少し、リーク電流は小さくなる。

〔実施例〕

以下、本発明の一実施例を第 1 図により説明する。

よりその一部を除去し、開孔部を設ける。

e) 水素を添加した非晶質シリコン膜 15 を形成する。実施例では、このシリコン膜 15 は n 形のドーパントを添加した n^+ 形である。さらにその上に金属層 17 を形成する。

f) ホトエッチングにより、金属層 17 と n^+ 非晶質シリコン層 15 の一部を除去し、各部を分離する。

最後に、図示していないが、熱処理 (350~450°C) を行ない、非晶質シリコン層 15 から層 12 へ水素を拡散させて薄膜トランジスタ素子を得る。

ところで、上記従来技術には次の問題点もあった。即ち、第 2 図、第 3 図において、ソース、ドレイン領域を形成する n^+ 層 3, 3' は、その形成工程では、i 層 2 の上全面に n^+ 層を積層し、チャンネル領域になる部分の n^+ 層をエッチングで除去して i 層を表面に出す方法によっている。この場合、i 層と n^+ 層は、エッチングレートがほぼ等しいことから、 n^+ 層のみを除去することができず、オーバーエッチングにより i 層も除去するようにしている。このとき n^+ 層が i 层とほぼ

絶縁基板 11 の上には、島状に形成した、不純物をドープしない多結晶シリコン膜 12 が形成されている。その両端の上に n 形不純物をドープした n^+ 形シリコン膜 13, 13' が積層して形成されている。その上にゲート絶縁膜 14 が形成され、ゲート絶縁膜 14 には、 n^+ 層 13, 13' 上に開孔部がある。その上に水素が添加された非晶質シリコン 15, 16, 16' がある。15 はゲート電極であり、16, 16' は n^+ 層 13, 13' と接触している。さらにその上に金属層 17, 18, 18' がある。18, 18' が各々ソース電極とドレイン電極である。また、17 は、ゲート電極の低抵抗化用の電極である。

次に、この第 1 図の実施例による薄膜トランジスタの製造例について、第 4 図により説明する。

a) 絶縁基板 11 の上に、多結晶シリコンの i 層 12 および n^+ 層 13 を積層して形成する。

b) ホトエッチングにより、 n^+ 層 13 の一部を除去する。

c) ホトエッチングにより、島を形成する。

d) ゲート絶縁膜 14 を形成し、ホトエッチングに

同等か、多少薄い膜厚の場合には、 n^+ 層の膜厚、エッチングレートのばらつき等を考慮し、なおかつ n^+ 層を完全に除去することを考えると、オーバーエッチングを極端に進めなければならず、この結果、i 層が薄くなりすぎたり、段差の高さが大きくなりすぎることがある。そのため、 n^+ 層は i 層に比較して、十分薄くしておく必要がある。

しかして、このように n^+ 層を薄くしたときの問題点として、電極コンタクト層のつきぬけの問題がある。即ち、第 2 図、第 3 図に示すように、ソース、ドレインの金属電極 6, 6' は、 n^+ 層 3, 3' と反応して、金属シリサイド層が界面にも形成されてしまう。そして、 n^+ 層 3, 3' が多結晶シリコンの場合には、粒界にそってシリサイド化が進行するため、シリサイド層の膜厚は厚くなり、 n^+ 層が薄い場合には、つきぬけてしまうのである。

そして、このようなつきぬけを生じると n^+ 層と i 層の接合がこわされることがある。そして、接合は役に立たなくなり、リーク電流が増大して

しまう。

そこで、このような問題点を解決するためには、 n^- 層をエッティングで除去するときには、 n^- 層の膜厚が薄く、ソース、ドレインの電極を接続すべき領域では、 n^+ 層の膜が厚くなってしまえばよく、そのためには第4図で説明したように、 i 層12の上に膜厚の薄い第1の n^- 層13を形成して、その一部をエッティングで除去し、次に i 層および n^- 層の一部をエッティングで除去して島状のバターンを形成し、その上に絶縁膜14を形成したあと、 n^- 層の上的一部分をエッティングで除去して開孔部を設け、その上に膜厚の厚い第2の n^- 層15を形成し、その上に電極用の金属膜17を形成するようにしてやればよい。

このようにすれば、 i 層を露出するために n^- 層をエッティングで除去するときには、第1の n^- 層が薄いために、その膜厚やエッティングレートのばらつきを考えてオーバエッティングしたところで、 i 層のエッティング深さが、極端に大きくなることはない。その後で、膜厚の厚い第2の n^- 層を形

層と同じプロセスで形成されるので、プロセスは長くならない。

4) 必要に応じては、第1の n^- 層の不純物濃度を低くして、電界緩和用の n^- 層とし、 $n^- - n^- - i$ 接合を形成することもできる。

ところで、以上の説明では、本発明を第1図の実施例によって説明しており、これによれば、第1図の15、16、16'は、水素添加の非晶質シリコン膜で説明しているが、本特許の主旨からいえば、上記膜は、多結晶シリコンであってもよい。また、第1図の17、18、18'の金属又はシリサイド膜は、必ずしも積層されて形成されたものでなく、第2の n^- 層のどこかの部分で接觸していてよい。さらに、コンタクト領域16、16'も必ずしもなくともよい。

(発明の効果)

本発明によれば、次の効果がある。

1. 水素化処理用の水素を含んだ膜を、ゲート絶縁膜の上に設けるので、水素が拡散すべき距離を短くでき、かつ水素を吸収する層が間に入らない

成し、これの一部をエッティングで除去するが、その場合には、エッティングで除去する領域には、第1の n^- 層と第2の n^- 層の間に絶縁膜が挿入されており、絶縁膜とシリコン層のエッティングレートは大きく異なることから、オーバエッティングしても下の絶縁膜が大きくエッティングされることはない。金属電極は第2の n^- 層の上に形成するので、金属シリサイド層が界面に形成されたとしても、つきぬけることはない。

従って、上記実施例によれば、以下の効果がある。

1) n^- 層をエッティングで除去する領域の n^- 層は膜厚が薄いので、 n^- 層を一部を完全に除去するためには、極端なオーバエッティングの必要はない。

2) 金属電極を接続する n^- 層は、膜厚の厚い第2の n^- 層であるので、界面にできるシリサイド層がつきぬけて、下地の i 層に接続することはない。

3) 第2の n^- 層は、ゲート電極を形成する n^+

ことから、比較的低温で、短時間のアニールでよい。

2. 第4図で説明したプロセスを用せば、第2図の従来例に必要なプロセスに比較して、特別にオーバエッティングの回数を増加しなくともよく、プロセスの増加を充分に抑えることができる。

3. 水素化処理に、シリコンナイトライド膜を使用しなくともよいため、ヤング率が小さいために起るクラック等の問題はなくなる。

4. 第3図従来例のように、ゲート電極として多結晶シリコン膜を用いる場合には、従来技術では、その上にシリコンナイトライド膜を設ける工程が入るが、本発明では、上記多結晶シリコンの代りに、水素を含む、非晶質シリコンを形成するのみでよく、プロセス工程は増加しない。

5. 第1図の実施例のように、非晶質シリコンの上に、金属又は金属シリサイド膜をつけておけば、水素の外側への拡散をストップさせることができ、水素化処理中、又は長期間の使用時に水素が外側へ逃げることを少くすることができ、特性を安定

化することができる。

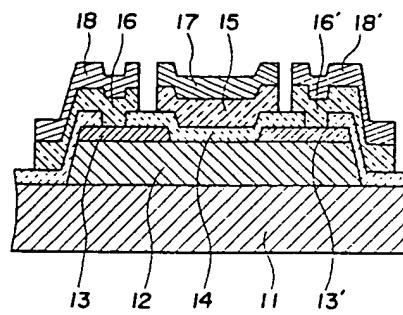
4. 図面の簡単な説明

第1図は本発明による薄膜トランジスタの一実施例を示す断面図、第2図及び第3図はそれぞれ従来例を示す断面図、第4図は本発明の一実施例の製造プロセスの説明図である。

11…絶縁基板、12…多結晶シリコン膜、13, 13'…n⁺シリコン膜、14…ゲート絶縁膜、15, 16, 16'…水素添加非晶質シリコン膜、17, 18, 18'…金属層。

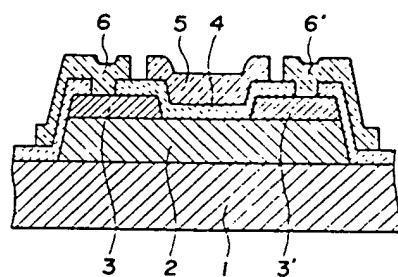
代理人 弁理士

武 頭次郎 (外1名)

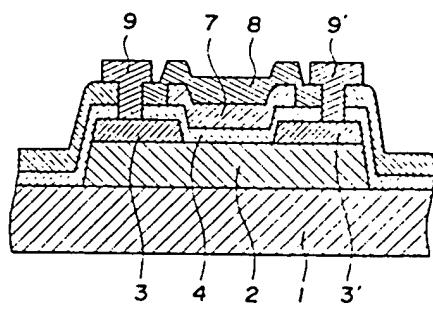


11…絶縁基板
12…多結晶シリコン膜
13, 13'…n⁺シリコン膜
14…ゲート絶縁膜
15, 16, 16'…水素添加非晶質シリコン膜
17, 18, 18'…金属層

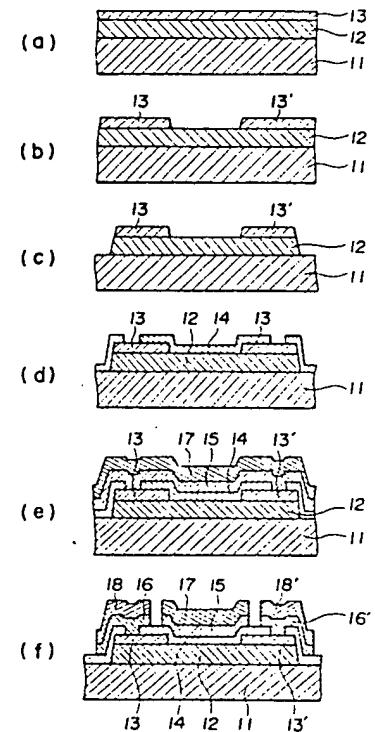
第2図



第3図



第4図



第1頁の続き

②発明者 宮田 健治 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox